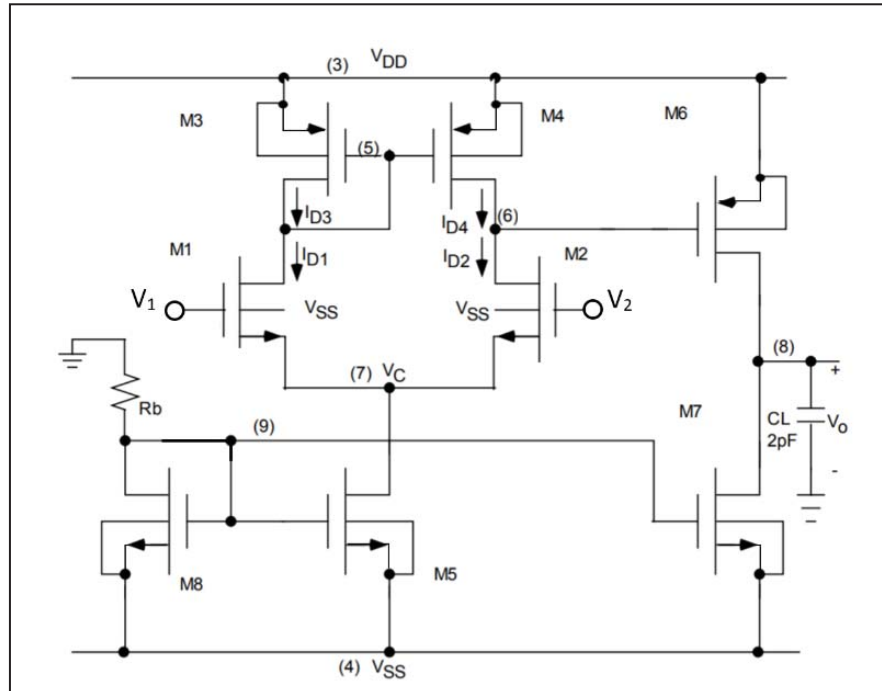


SUPUESTO PRÁCTICO OPCION 1:

DISEÑO DE UN CIRCUITO ANALÓGICO EN UNA TECNOLOGÍA MICROMÉTRICA

Le ha llegado el encargo de diseñar un amplificador construido en base a la concatenación de dos amplificadores sencillos. El bloque será usado en cadena abierta como comparador dentro de un circuito microelectrónico que está diseñando su unidad. El diseño se va a implementar en una tecnología en la que $V_{DD} = -V_{SS} = 5V$. La topología del circuito le viene dada y



se corresponde con la de la figura adjunta. También le han proporcionado unas especificaciones iniciales para que pueda usted hacer una evaluación rápida de las posibilidades de cumplirlas en esta tecnología con esa arquitectura de amplificador.

Especificaciones: Slew-Rate (SR) $\geq 10V/\mu s$. Ganancia en DC $\geq 10,000$. Rango de tensión a la salida (OS) entre $-4.5V$ y $4.5V$. Rango de Modo Común (CMR) entre $-3V$ y $3V$. Capacidad máxima de carga $CL \leq 2pF$.

Datos Tecnológicos:

$K_N = 40 \mu A/V^2$, $K_P = 15 \mu A/V^2$, $\lambda_N = \lambda_P = 0.02 V^{-1}$, $V_{TN} = |V_{TP}| = 1V$, grid de la tecnología $0.1 \mu m$, tamaños mínimos son $W_{min} = L_{min} = 1 \mu m$. 1Poly-3Metales. Solo se permiten ángulos de 90° . Contactos apilables.

No es necesario considerar efecto substrato ni las capacidades asociadas a ningún transistor para la realización de este ejercicio.

Intente que en su diseño todos los transistores tengan la misma longitud de canal $L = 5 \mu m$ siempre que sea posible.

Se le pide:

- Diseñe la etapa de salida: Encuentre la corriente mínima en DC a través de M6 y M7, proponga un dimensionado acorde a especificaciones para los transistores de esta etapa, y calcule el valor de la ganancia de esta etapa para ese valor de corriente de polarización.



- Calcule la corriente de polarización de la primera etapa teniendo en cuenta que debe minimizar el offset sistemático a la salida. Proponga un dimensionado de los transistores M4 y M3 que cumpla especificaciones, y use, si cumple especificaciones que, $W/L=5\mu\text{m}/5\mu\text{m}$ para M5.
- Dimensione los transistores del par diferencial de entrada de manera que se cumpla la especificación de ganancia total. Verifique que el dimensionado del par diferencial no afecta al cumplimiento de la especificación CMR y si lo hace, reajuste lo que sea necesario.
- Proponga un dimensionado de acuerdo a especificaciones para el transistor M8, encuentre el valor para la resistencia R_b , y de una estimación del consumo de corriente en DC del amplificador completo cuando $V_1=V_2=0\text{V}$ (desprecie las corrientes de fuga).
- Esboce, en una hoja de examen dedicada solo a ello, un layout optimizado frente al desapareamiento del par diferencial (M1-M2). Etiquete claramente qué capa física se corresponde con cada una de las regiones dibujadas. La tecnología permite contactos a sustrato y well adyacentes a las regiones de difusión de los transistores y contactos a metal y polisilicio apilables. Solo se permiten ángulos de 90° . Use cualquier valor de W/L que le convenga para realizar este dibujo pues solo pretende ser ilustrativo de este tipo de solución al layout de un par diferencial.

SUPUESTO PRÁCTICO OPCION 2:

DISEÑO DE UNA CELDA DE LIBRERÍA DIGITAL EN TECNOLOGÍA CMOS de 180nm

Acaba usted de incorporarse a su departamento de destino y su primer encargo es diseñar un inversor CMOS para una librería de celdas digitales estándar en una tecnología de 180nm con 1Poly-5Metal para la que los parámetros tecnológicos que necesita son:

$$V_{DD}=1.8V, V_{SS}=0V, V_{TN}=|V_{TP}|=0.5V, \lambda_N=\lambda_P=0.2V^{-1}, K_N=4K_P=300\mu A/V^2.$$

El tamaño del transistor NMOS (QN) es $(W/L)_{QN} = 1.5$,

$L_{QN}=180nm$. Su labor es terminar el diseño y proporcionar datos del mismo para la librería que serán usados en simulaciones digitales. A todos los efectos considere que no hay conducción subumbral ni corrientes de fuga. Se le pide:

- Dimensione el transistor PMOS de manera que el inversor esté balanceado. Esto es que $V_M=V_{DD}/2$, siendo V_M el punto en el que la recta $v_I = v_O$, interseca a la curva $v_O = f(v_I)$.
- Para ese dimensionado encuentre los valores para V_{OH} , V_{OL} , V_{IH} , V_{IL} , y los márgenes de ruido NM_L y NM_H . Comente como de cerca están NM_L y NM_H del valor óptimo alcanzable.
- Encuentre el valor de la resistencia de salida del inversor en sus estados de salida alto y bajo.

- Calcule en rango de valores de entrada para los que la salida está indeterminada desde el punto de vista lógico. Para ello se ha definido el siguiente criterio:

Desde el punto $v_O = V_M$, se traza una recta cuya pendiente es igual a la ganancia del inversor en ese punto. A continuación, se calcula para qué valor de v_I se produce el corte de esa recta con las líneas horizontales $v_O = V_{DD}$ y $v_O = V_{SS}$. La diferencia entre esos dos valores de v_I será la anchura de la región de indeterminación. La

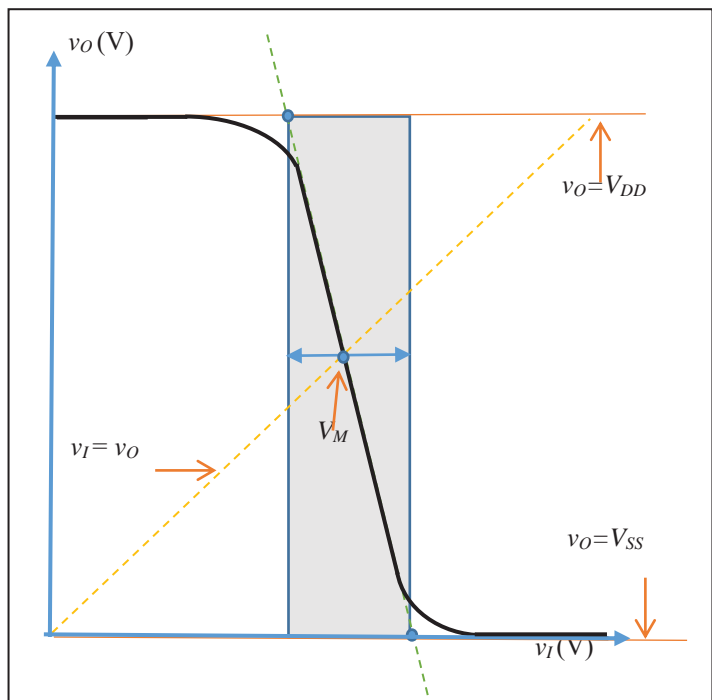
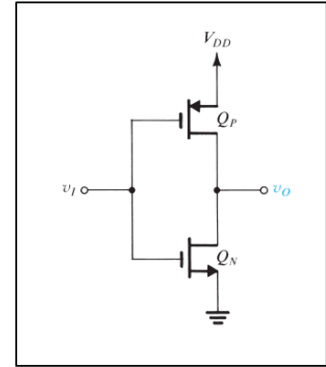


ilustración adjunta establece con flecha bidireccional el ancho de la región que se le pide.

- Este inversor será usado con una carga máxima de 3 inversores iguales a él. La capacidad equivalente a la entrada de cada inversor, incluido cableado, es de 60fF. Calcule el valor del tiempo de la transición de alto a bajo (t_{pHL}) y de bajo a alto (t_{pLH}) usando la aproximación de la resistencia equivalente en la que la dinámica se reduce a la de un circuito RC. Para esta





tecnología $R_N=12.5/(W/L)$ $k\Omega$ y $R_P=30/(W/L)$ $k\Omega$. Calcule, usando t_{pHL} y t_{pLH} , el tiempo de propagación t_p del inversor y establezca un valor adecuado para la máxima frecuencia a la que podría operar este inversor con esa carga capacitiva.

- Esboce, en una hoja de examen dedicada solo a ello, un layout simple para el inversor CMOS considerando que será un elemento más de librería de celdas estándar digitales. Etiquete claramente qué capa física se corresponde con cada una de las regiones dibujadas. La tecnología permite contactos a substrato y well adyacentes a las regiones de difusión de los transistores y contactos a metal y polisilicio apilables. Solo se permiten ángulos de 90° . Etiquete claramente que líneas corresponderían con V_{DD} , V_{SS} , v_O , v_I